

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-050551

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

G09F 9/00
G01R 31/00
G01R 31/02
G02F 1/13
G09F 9/30
G09F 9/35

(21)Application number : 2001-239853

(71)Applicant : SHARP CORP

(22)Date of filing : 07.08.2001

(72)Inventor : MATSUDA TAKASHI

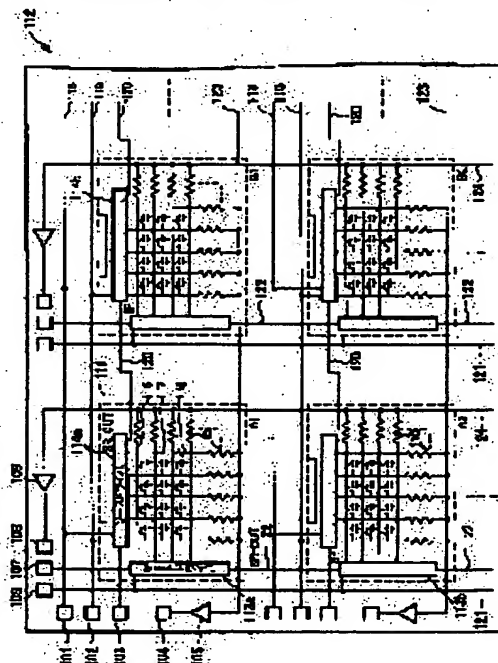
(54) INTEGRATED BOARD, AND METHOD AND DEVICE FOR INSPECTING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated board which is configured of a plurality of circuit boards arranged thereon, and which is capable of shortening an inspection time of the circuit boards (picture display device), and has moreover high cost-performance.

SOLUTION: The integrated board 112 comprises a plurality of circuit boards each of which is provided with picture display devices having a plurality of gate lines 116 and source lines 117 driven by a gate driver 113a and a source driver 114a, respectively. The above integrated board 112 is provided with an inspection circuit comprising gate line short links 124 for connecting the above gate lines 116 with the source lines 117 and further connecting the gate lines 116 of the adjacent picture display devices, and source line short links 123 for connecting the source lines 117,

and gate side output monitoring terminals 108 and source side output monitoring terminals 104 for sequentially outputting inspection signals inputted to the above gate lines 116 and source lines 117 through the above gate line short links 124 and the source line short links 123.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-50551

(P 2003-50551 A)

(43) 公開日 平成15年2月21日 (2003. 2. 21)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 F 9/00	3 5 2	G 0 9 F 9/00 3 5 2	2G014
G 0 1 R 31/00		G 0 1 R 31/00	2G036
	31/02	31/02	2H088
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13 1 0 1	5C094
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8	5G435
審査請求 未請求 請求項の数 9		O L	(全 1 0 頁) 最終頁に続く

(21) 出願番号 特願2001-239853 (P2001-239853)

(22) 出願日 平成13年8月7日 (2001. 8. 7)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松田 隆司

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

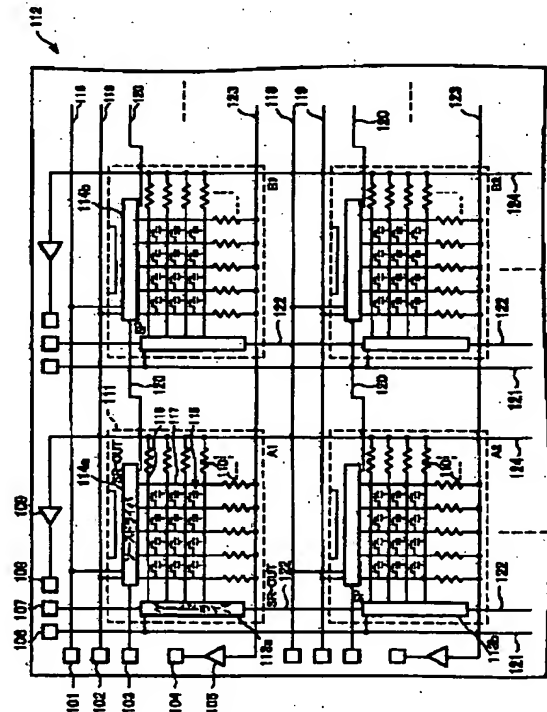
最終頁に続く

(54) 【発明の名称】 集合基板およびその検査方法ならびにその検査装置

(57) 【要約】

【課題】 回路基板 (画像表示装置) の検査時間を短縮することができ、しかもコストパフォーマンスの高い、回路基板が複数個配列されてなる集合基板を提供する。

【解決手段】 集合基板 112 は、ゲートドライバ 113 a およびソースドライバ 114 a により駆動される複数のゲート線 116 およびソース線 117 を有する画像表示装置を備えた回路基板が複数個配列されている。上記集合基板 112 は、上記ゲート線 116 およびソース線 117 を接続し、さらに隣合う画像表示装置のゲート線 116 を接続するゲート線ショートリンク 124 およびソース線 117 を接続するソース線ショートリンク 123 と、上記ゲート線 116 およびソース線 117 に入力された検査信号を上記ゲート線ショートリンク 124 およびソース線ショートリンク 123 を介して順次出力するゲート側出力モニター端子 108 およびソース側出力モニター端子 104 とからなる検査回路を備えている。



【特許請求の範囲】

【請求項1】 駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板において、画像表示装置の各配線を接続しているとともに、隣合う画像表示装置の配線を接続している共通配線と、各画像表示装置の配線に入力された検査信号を上記共通配線を介して順次出力する共用テストパッドとからなる検査回路を備えていることを特徴とする集合基板。

【請求項2】 駆動回路が駆動回路に inputs されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するシフトレジスタを備え、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力できるように隣合う画像表示装置の駆動回路同士を接続している接続線を備えることを特徴とする請求項1記載の集合基板。

【請求項3】 駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板の検査方法において、各画像表示装置の配線に inputs した検査信号を、各画像表示装置の配線を伝達し、出力される検査信号を同一の共用テストパッドから検出することを特徴とする集合基板の検査方法。

【請求項4】 駆動回路に inputs されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するとともに、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力することを特徴とする請求項3記載の集合基板の検査方法。

【請求項5】 隣接する配線間の短絡を検出することを特徴とする請求項3または4記載の集合基板の検査方法。

【請求項6】 請求項1または2記載の集合基板を検査する検査装置であって、共用テストパッドから出力される複数の回路基板からの信号を基準電圧と比較する比較手段と、この比較手段の結果により上記回路基板の良否を判定する判定手段とを有することを特徴とする集合基板の検査装置。

【請求項7】 上記判定手段が、表示上の欠陥、あるいはD/Aコンバータの非直線性を判定することを特徴とする請求項6記載の集合基板の検査装置。

【請求項8】 請求項1または2記載の集合基板における、回路基板と検査回路とを分離することを特徴とする回路基板の製造方法。

【請求項9】 共用テストパッドを分離することを特徴とする請求項8記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えばアクティブマトリクス型等の液晶表示装置に用いられる回路基板を複数備えた集合基板およびその検査方法ならびに検査装置に関する。

【0002】

【従来の技術】 液晶表示装置に用いられる回路基板は、基板上に画像表示装置を備えた構成である。この画像表示装置は、複数の走査線と複数の信号線とが互いに交差して配設されるとともに、各交差部ごとに、絵素電極、該絵素電極を駆動するスイッチング素子が形成されている。

【0003】 上記回路基板は、大型基板に複数の画像表示装置を形成した集合基板において、これら複数の画像表示装置が形成された領域を、それぞれ個々に分断することにより製造される。

【0004】 これら回路基板は、通常、分断する前に検査が行われる。集合基板の画像表示装置は、各画像表示装置毎に、断線、配線パターンの異状、短絡等の有無の検査が行われる。

【0005】 上記画像表示装置の検査方法としては、特開平5-5866号公報に、各画像表示装置毎に検査プローブをFPC接続端子に接続して、inputs した検査信号により断線や短絡等の各種欠陥を検査することが開示されている。

【0006】

【発明が解決しようとする課題】 ところが、特開平5-5866号公報に記載の回路基板の検査方法では、重大な欠陥（ソース線およびゲート線の断線、配線パターン異状によるショート（短絡）等）のみを検査する場合でも、画像表示装置の一つ一つを個別に検査する。この検査では、ひとつの画像表示装置あたりの検査時間に加え、検査プローブの移動と接続とに要する時間が余計に必要となる。そのため、集合基板上のすべての画像表示装置を検査する場合は、膨大な検査時間がかかるという問題がある。また、画像表示装置が小型になれば、一枚の集合基板に形成される画像表示装置の数が増える。そのため、検査時間は、その画像表示装置の数の増加に応じて顕著に増えるといった問題がある。

【0007】 さらに、画像表示装置を検査するためには、各画像表示装置毎に検査信号を inputs する検査パッド、その検査信号を出力する検査パッドを設ける必要がある。したがって、検査パッドの設置コストがかかるという問題がある。

【0008】 さらに、集合基板（大型基板）において、それら検査パッドを設置するための領域が必要となる（回路レイアウト上、大面積が必要となる）。そのため、集合基板上に形成することができる画像表示装置の数が減少し、コストパフォーマンスが低下してしまうという問題もある。

【0009】 本発明は、上記問題点に鑑みなされたものであり、その目的は、回路基板（画像表示装置）の検査時間を短縮することができ、しかもコストパフォーマンスの高い、回路基板が複数個配列されてなる集合基板を提供することにある。

【0010】

【課題を解決するための手段】上記の課題を解決するために、本発明の集合基板は、駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板において、画像表示装置の各配線を接続しているとともに、隣合う画像表示装置の配線を接続している共通配線と、各画像表示装置の配線に入力された検査信号を上記共通配線を介して順次出力する共用テストパッドとからなる検査回路を備えていることを特徴としている。

【0011】上記の構成によれば、上記集合基板は、隣合う画像表示装置同士を共通配線により接続し、それらの画像表示装置からの検査信号を出力する共用テストパッドからなる検査回路を備えている。これにより、回路基板における各画像表示装置の配線の短絡・断線等の不具合を共用テストパッドにおいて出力される検査信号により検査することができる。さらに、各回路基板における各画像表示装置を個別に検査することなく、共用テストパッドにより複数の画像表示装置を検査することができるので、検査時間の短縮を図ることができる集合基板を提供することができる。さらに、共用テストパッドを設ける数を少なくすることができるので、共用テストパッドを形成しない領域が生じる。そのため、集合基板には、画像表示装置をより多く形成することができる。したがって、1つの集合基板からより多くの回路基板を取り出すことができるので、コストパフォーマンスの高い集合基板を提供することができる。

【0012】本発明の集合基板は、上記の構成に加えて、駆動回路が駆動回路に入力されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するシフトレジスタを備え、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力できるように隣合う画像表示装置の駆動回路同士を接続している接続線を備えることを特徴としている。

【0013】上記の構成によれば、上記集合基板は、隣合う画像表示装置の駆動回路同士が接続線により接続されているので、シフトレジスタによって新たに生成されたスタートパルスを隣合う画像表示装置に順次伝達することができる。つまり、1つの検査信号で隣合う画像表示装置を順次に検査することができる。したがって、回路基板における各画像表示装置毎に検査を行う必要はなく、複数の画像表示装置を検査することができるので、回路基板の検査時間をより一層短縮することができる。

【0014】本発明の集合基板の検査方法は、駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板の検査方法において、各画像表示装置の配線に入力した検査信号を、各画像表示装置の配線を伝達し、出力される検査信号を同一の共用テストパッドから検出することを特徴としている。

【0015】上記の構成によれば、集合基板における複数の画像表示装置を1つの共用テストパッドで検査することができるので、回路基板における各画像表示装置毎に検査する必要はない。したがって、集合基板の検査時間を短縮することができる。

【0016】本発明の集合基板の検査方法は、上記の構成に加えて、駆動回路に入力されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するとともに、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力することを特徴としている。

【0017】上記の構成によれば、新たに生成されたスタートパルスを隣合う画像表示装置に順次入力することができる。つまり、1つの検査信号で隣合う画像表示装置を順次に検査することができる。したがって、回路基板における各画像表示装置毎に検査を行う必要はなく、複数の画像表示装置を検査することができるので、回路基板の検査時間をより一層短縮することができる。

【0018】本発明の集合基板の検査方法は、隣接する配線間の短絡を検出することを特徴としている。

【0019】上記の構成によれば、集合基板に形成されている隣接する配線間の短絡を検出することができる。

【0020】本発明の集合基板の検査装置は、上記の集合基板を検査する検査装置であって、共用テストパッドから出力される複数の回路基板からの信号を基準電圧と比較する比較手段と、この比較手段の結果により上記回路基板の良否を判定する判定手段とを有することを特徴としている。

【0021】上記の構成によれば、共用テストパッドによって複数の回路基板からの信号の出力を得ることができるので、個々の回路基板毎に検査を行う必要がない。したがって、検査時間を短縮することができる検査装置を提供することができる。

【0022】本発明の検査装置は、上記の構成に加えて、上記判定手段が、表示上の欠陥、あるいはD/Aコンバータの非直線性を判定することを特徴としている。

【0023】上記の構成によれば、表示上の欠陥、あるいはD/Aコンバータの非直線性を判定することができる。

【0024】本発明の回路基板の製造方法は、上記の集合基板における、回路基板と検査回路とを分離することを特徴としている。

【0025】上記の構成によれば、上記集合基板を分離するだけで回路基板を提供することができる。

【0026】本発明の回路基板の製造方法は、上記の構成に加えて、共用テストパッドを分離することを特徴としている。

【0027】上記の構成によれば、共用テストパッドを回路基板から分離することができるので、上記集合基板における回路基板以外の部分（周縁部）は、回路基板が分離後に廃棄される。したがって、この周縁部に形成さ

れる共用テストパッドは、上記回路基板には残らない。これにより、共用テストパッドは、回路基板の形状等に左右されることなく、周縁部に自由に設置することができる。このため、例えば検査装置の都合にあわせてより出力の行いやすい場所に共用テストパッドを設けることや、共用テストパッドを任意の形状にすることなどができる。

【0028】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態を、図1ないし図3に基づいて説明すれば、以下の通りである。

【0029】図1に示すように、本実施の形態の回路基板を複数備えた集合基板112（以下、単に集合基板112とする）は、一枚の大型基板上に複数の回路基板が縦横に形成されてなるものである。なお、以下の説明では、図1に示すように、4個の回路基板A1、A2、B1、B2（各回路基板は、切断線111で囲まれた領域である）が、2列（左から、A列、B列）×2段（上から、1段、2段）に配置されている集合基板112の部分について説明するが、形成される回路基板の数および配置はこれと異なってもよい。

【0030】また、各回路基板は、画像表示装置を備えてなる構成である。この画像表示装置は、走査信号駆動回路（ゲートドライバ）113a・113bおよびデータ駆動回路（ソースドライバ）114a・114bを備えている。これら駆動回路（ゲートドライバ113a・113bおよびソースドライバ114a・114b）は、シフトレジスタを備えている。また、上記画像表示装置には、走査線として機能するゲート線（配線）116が多数平行に配線されていると共に、信号線として機能するソース線117（配線）がゲート線116に直交して複数本配線されている。ゲート線116は、回路基板の列方向に配線され、ソース線117は、回路基板の段方向に配線されている。これらゲート線116とソース線117とが交差する点には、画素115が設けられている。これら画素115は、画像表示装置においてマトリクス状に配列されている。上記画素115は、ゲート線116を介してゲートドライバ113a・113bに、ソース線117を介してソースドライバ114a・114bに、それぞれ接続されている。

【0031】また、集合基板112の回路基板の周囲には、検査回路が形成されている。この検査回路は、ソースドライバ114aに信号を入力するための端子（ソースクロック入力端子101、ビデオ入力端子102、ソース側スタートパルス入力端子103）、ゲートドライバ113aに信号を入力するための端子（ゲートクロック入力端子106、ゲート側スタートパルス入力端子107）、ソースドライバ114aに入力されソース線117を伝達された信号を出力するソース側出力モニター端子（共用テストパッド）104、およびゲートドライ

バ113aに入力されゲート線116を伝達された信号を出力するゲート側出力モニター端子（共用テストパッド）108を備える。

【0032】ここで、上記各部材について説明する。

【0033】ソースクロック入力端子101は、クロック信号をソースドライバ114a・114bに入力するための端子である。このソースクロック入力端子101は、列方向に延設されているソースクロック入力線118を介して、列方向に配列されている各画像表示装置のソースドライバ114a・114bに接続されている。このソースクロック入力端子101から入力されたクロック信号は、ソースクロック入力線118を介して、上記各ソースドライバ114a・114bに伝達されるようになっている。

【0034】ビデオ入力端子102は、ビデオ信号をソースドライバ114a・114bに入力するための端子である。このビデオ入力端子102は、列方向に延設されているビデオ信号入力線119を介して、列方向に配列されている各画像表示装置のソースドライバ114a・114bに接続されている。このビデオ入力端子102から入力されたビデオ信号は、ビデオ信号入力線119を介して、上記各ソースドライバ114a・114bに伝達されるようになっている。

【0035】ソース側スタートパルス入力端子103は、ソースドライバ114aにスタートパルスを入力するための端子である。このソース側スタートパルス入力端子103は、ソースドライバ114aに接続されている。この接続により、ソース側スタートパルス入力端子103から入力されるスタートパルスは、ソースドライバ114aに伝達される。さらに、ソースドライバ114aは、列方向に隣接する画像表示装置のソースドライバ（次列のソースドライバ）114bにもソースドライバ接続線120により接続されている。ソースドライバ114aに伝達されたスタートパルスは、ソースドライバ114aのシフトレジスタにより新たなスタートパルスに変換される。この変換されたスタートパルスは、次列のソースドライバ114bにおけるスタートパルスとして、ソースドライバ接続線120を介して伝達されるようになっている。

【0036】ゲートクロック入力端子106は、クロック信号をゲートドライバ113a・113bに入力するための端子である。このゲートクロック入力端子106は、段方向に延設されているゲートクロック入力線121を介して、段方向に配列されている各画像表示装置のゲートドライバ113a・113bに接続されている。このゲートクロック入力端子106から入力されたクロック信号は、ゲートクロック入力線121を介して、上記各ゲートドライバ113a・113bに伝達されるようになっている。

【0037】ゲート側スタートパルス入力端子107

は、ゲートドライバ113aにスタートパルスを入力するための端子である。このゲート側スタートパルス入力端子107は、ゲートドライバ113aに接続されている。この接続により、ゲート側スタートパルス入力端子107から入力されるスタートパルスは、ゲートドライバ113aに伝達される。さらに、ゲートドライバ113aは、段方向に隣接する画像表示装置のゲートドライバ（次段のゲートドライバ）113bにも、ゲートドライバ接続線122により接続されている。ゲートドライバ113aに伝達されたスタートパルスは、ゲートドライバ113aのシフトレジスタにより新たなスタートパルスに変換される。この変換されたスタートパルスは、次列のゲートドライバ113bにおけるスタートパルスとして、ゲートドライバ接続線122を介して伝達されるようになっている。

【0038】集合基板112における列方向の各画像表示装置の各ソース線117は、数十kΩの抵抗体を介して束ねたショートリンク回路（テスト容易化回路）110を介して、列方向に延設されているソース線ショートリンク123に接続されている。このソース線ショートリンク123は、ソース側出力モニター端子104にソース側バッファ105を介して接続されている。

【0039】また、集合基板112における段方向の各画像表示装置の各ゲート線116は、数十kΩの抵抗体を介して束ねたショートリンク回路110を介して、段方向に延設されているゲート線ショートリンク124に接続されている。このゲート線ショートリンク124は、ゲート側出力モニター端子108にゲート側バッファ109を介して接続されている。

【0040】上記ソース側バッファ105およびゲート側バッファ109は、画素115からの出力の駆動能力を向上させて、ソース側出力モニター端子104およびゲート側出力モニター端子108からの信号の出力を減衰させないようにするものである。

【0041】上記集合基板112は、列方向に配列されている一列の画像表示装置（回路基板A1および回路基板B1、あるいは回路基板A2および回路基板B2の、画像表示装置）に対して、ソースクロック入力端子101、ビデオ入力端子102、ソース側スタートパルス入力端子103およびソース側出力モニター端子104が一組設けられている構成である。また、上記集合基板112は、段方向に配列されている一列の画像表示装置（回路基板A1および回路基板A2、あるいは回路基板B1および回路基板B2の、画像表示装置）に対して、ゲートクロック入力端子106、ゲート側スタートパルス入力端子107およびゲート側出力モニター端子108が一組設けられている構成である。各画像表示装置の検査は、上記各端子から信号（クロック信号、スタートパルスおよびビデオ信号）を入力することにより行うことができる。スタートパルスは、ソースドライバ114

aのシフトレジスタおよびゲートドライバ113aのシフトレジスタで新たなスタートパルスに変換され、このスタートパルスが次列および次段のスタートパルスとなる。このスタートパルスにより、各信号が順次伝達される。これら伝達される信号により出力モニター端子104・108から出力される電圧を、基準電圧と比較して判断することにより、列方向に配列された画像表示装置におけるソース線117のショート（短絡）、断線等の欠陥（表示上の欠陥）、および段方向に配列された画像表示装置におけるゲート線116のショート（短絡）、断線等の欠陥（表示上の欠陥）を検査することができる。以上のように、上記各端子を各画像表示装置毎に設けることなく、集合基板における画像表示装置の検査を行うことができる。したがって、端子の数を少なくすることができ、その端子を形成しない領域が生じる。そのため、さらに画像表示装置を集合基板に形成することができる。これにより、1つの集合基板からより多くの回路基板を取り出すことができるので、回路基板を安価に製造することができる。また、端子の数を減らすことにより、画像表示装置を検査する際の検査プローブを移動させる時間を短縮できるため、検査を高速に行うことができる。

【0042】検査された上記集合基板112は、回路基板の製造プロセスの切断工程において、検査回路の一部（ショートリンク123・124）を残して切断線111に沿って切断されることにより、一個ずつの回路基板に切り出される（分離される）。上記集合基板112における回路基板以外の部分（周縁部）は、回路基板が切り出された後に廃棄される。したがって、この周縁部に形成される上記各端子は、回路基板には残らない。これにより、各端子は、回路基板の形状等に左右されることがなく、周縁部に自由に設置することができる。このため、例えば検査プローブや検査装置の都合にあわせてより入力の行いやすい場所に端子を設けることや、パッド数を増減することや、パッドを任意の形状（大型化等）にすることなどが可能となる。また、切り出し後の回路基板は、そのまま使用することができるため、切り出し以外の工程が増加することもない。

【0043】次に、図2および図3に基づいて、上記集合基板112の検査方法について説明する。

【0044】ここでは、図2に示すように、ソース側スタートパルス入力端子103（図1参照）からスタートパルス201、およびソースクロック入力端子101（図1参照）からクロック信号202を入力したとき、クロック入力n+2番目にシフトレジスタ出力203が出力される場合を例に挙げて説明する。シフトレジスタ出力とは、スタートパルスをドライバのシフトレジスタにおいて変換した信号の出力のことをいう。このシフトレジスタ出力203は、回路基板B1の画像表示装置のソースドライバ114b（図1参照）にスタートパルス

204として入力される。回路基板が多数ある場合は、同様にソースドライバ114bのシフトレジスタによるシフトレジスタ出力205が次列のソースドライバにスタートパルス206として入力される。このとき、例えばビデオ入力端子102（図1参照）から5Vのビデオ信号207を入力した場合、ソース側出力モニター端子104から図2に示す出力電圧208が出力される。ソース線117に断線等があった場合には、出力異状部209のように電圧レベルの違いが検出される。ここでは、ソース線117について説明したが、ゲート線116についても、ゲート側スタートパルス入力端子107からスタートパルスを、およびゲートクロック入力端子106からクロック信号を入力することにより、同様に検査することができる。上記出力電圧208の検出は、以下の検査システムにより行う。

【0045】図3に示すように、上記検査システムは、被測定装置（集合基板）301を検査する検査装置303からなる。上記検査装置303は、比較器（比較手段）304および判定器（判定手段）305からなる。検査は、被測定装置301の出力モニター端子（共用テストパッド）302（図1におけるソース側出力モニター端子104およびゲート側出力モニター端子108）からの出力信号を検査装置303に導き、比較器304にて基準電圧との比較を行い、判定器305にて被測定装置301の良否を判定することにより行う。ソース線にショート（短絡）、断線等がある場合には、図2に示すように、出力異状部209が検出される。これにより、ソース線の異状を判断することができる。ゲート線の異状についてもソース線と同様に検出することができる。

【0046】〔実施の形態2〕本発明の実施の他の形態を、図4に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記実施の形態1の図面に示した部材（構成）と同一の機能を有する部材（構成）には、同一の符号を付記し、その説明を省略する。

【0047】本実施の形態にかかる集合基板は、図4に示すように、実施の形態1において、ビデオ入力端子102に代えて、第1ビデオ入力端子402および第2ビデオ入力端子403を設け、隣合う（隣接する）ソース線117a・117bを交互に第1ソース線ショートリンク407と第2ソース線ショートリンク408とに接続している構成である。また、第1ソース線ショートリンク407は、第1ソース側バッファ409を介して第1ソース側出力モニター端子405に接続されている。第2ソース線ショートリンク408は、第2ソース側バッファ410を介して第2ソース側出力モニター端子406に接続されている。上記の構成は、ソース線117a・117bの断線、隣合うソース線117a・117bのショート（短絡）、不良を検出できるようにした回路基板の構成である。

【0048】ここで、隣合うソース線117a・117bのショート不良の検出について説明する。まず、第1ビデオ入力端子402および第2ビデオ入力端子403から電位の違う信号、例えば反転信号をそれぞれ隣合うソース線117a・117bに入力する。第1ビデオ入力端子402から入力された信号は、ソース線117aを伝達し、第1ソース線ショートリンク407を通して、第1ソース側出力モニター端子405から出力される。また、第2ビデオ入力端子403から入力された信号は、ソース線117bを伝達し、第2ソース線ショートリンク408を通して、第2ソース側出力モニター端子406から出力される。これらの出力された信号を実施の形態1における検査装置303で検出することにより、隣合うソース線117a・117bのショート（短絡）不良を検出できる。

【0049】具体的には、ビデオ入力端子402・403に、それぞれ例えば5Vと0Vとのビデオ信号を入力した場合、ソース線117a・117bからは、それぞれ正常値5Vと0Vの信号が出力される。ここで、隣合うソース線117a・117bにショート（短絡）がある場合、ソース線117a・117bからは正常値とは異なる値が出力される。つまり、上記検査装置303で正常値と異なる値の信号が出力された場合、隣合うソース線117a・117bにショート（短絡）があることがわかる。これにより、ソース線同士のショート（短絡）を検査することができる。また、選択された画素に欠陥がある場合には、正常値の5Vに対して、リーク分が加算あるいは減算された値の信号が検出される。これにより、画素の欠陥を検査することができる。

【0050】また、ビデオ入力端子402・403に例えば5Vのビデオ信号を入力した場合、ソース線117a・117bからは、正常値の5Vの信号が出力される。しかしながら、断線のあるソース線では、そのビデオ信号は伝達されず、出力は0Vとなる。つまり、上記検査装置303で0Vが検出された場合、ソース線に断線があることがわかる。これにより、ソース線の断線を検査することができる。

【0051】〔実施の形態3〕本発明の実施のさらに他の形態を、図5に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記実施の形態1の図面に示した部材（構成）と同一の機能を有する部材（構成）には、同一の符号を付記し、その説明を省略する。

【0052】本実施の形態にかかる回路基板は、図5に示すように、実施の形態1において、ビデオ入力端子102とソースドライバ114との接続の途中にD/Aコンバータ507が設けられた構成である。本実施の形態にかかる回路基板は、例えばデジタルビデオ入力機能付きのドライバー一体型画像表示装置において、D/Aコンバータ507の非直線性を検査することができる。

【0053】D/Aコンバータ507の非直線性について

ての検査について説明する。まず、ソースドライバ114を動作させるために、ソースクロック入力端子101からクロック信号を、ソース側スタートパルス入力端子103からスタートパルスを入力する。さらに、スタートパルスおよびクロック信号に同期して、ビデオ入力端子102より例えば6ビットのデジタルビデオ信号を入力する。そして、ソース側出力モニター端子104から出力される出力電圧を実施の形態1の検査装置303にて測定する。64階調分のデジタルビデオ信号を測定することで、D/Aコンバータ507の非直線性を評価することができる。

【0054】

【発明の効果】以上のように、本発明の集合基板は、駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板において、画像表示装置の各配線を接続しているとともに、隣合う画像表示装置の配線を接続している共通配線と、各画像表示装置の配線に入力された検査信号を上記共通配線を介して順次出力する共用テストパッドとからなる検査回路を備えている構成である。

【0055】上記の構成によれば、回路基板における各画像表示装置の配線の短絡・断線等の不具合を共用テストパッドにおいて出力される検査信号により検査することができる。さらに、各回路基板における各画像表示装置を個別に検査することなく、共用テストパッドにより複数の画像表示装置を検査することができるので、検査時間の短縮を図ることができる集合基板を提供することができるという効果を奏する。さらに、共用テストパッドを設ける数を少なくすることができるので、共用テストパッドを形成しない領域が生じる。そのため、集合基板には、画像表示装置をより多く形成することができる。したがって、1つの集合基板からより多くの回路基板を取り出すことができるので、コストパフォーマンスの高い集合基板を提供することができるという効果を併せて奏する。

【0056】本発明の集合基板は、上記の構成に加えて、駆動回路が駆動回路に入力されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するシフトレジスタを備え、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力できるように隣合う画像表示装置の駆動回路同士を接続している接続線を備える構成である。

【0057】上記の構成によれば、上記集合基板は、隣合う画像表示装置の駆動回路同士が接続線により接続されているので、シフトレジスタによって新たに生成されたスタートパルスを隣合う画像表示装置に順次伝達することができる。つまり、1つの検査信号で隣合う画像表示装置を順次に検査することができる。したがって、回路基板における各画像表示装置毎に検査を行う必要はなく、複数の画像表示装置を検査することができるので、

回路基板の検査時間をより一層短縮することができるという効果を奏する。

【0058】本発明の集合基板の検査方法は、駆動回路により駆動される複数の配線を有する画像表示装置を備えた回路基板が複数個配列されてなる集合基板の検査方法において、各画像表示装置の配線に入力した検査信号を、各画像表示装置の配線を伝達し、出力される検査信号を同一の共用テストパッドから検出する構成である。

【0059】上記の構成によれば、集合基板における複数の画像表示装置を1つの共用テストパッドで検査することができるので、回路基板における各画像表示装置毎に検査する必要はない。したがって、集合基板の検査時間を短縮することができるという効果を奏する。

【0060】本発明の集合基板の検査方法は、上記の構成に加えて、駆動回路に入力されるスタートパルスを変換して隣合う画像表示装置のスタートパルスを生成するとともに、隣合う画像表示装置の駆動回路に生成されたスタートパルスを入力する構成である。

【0061】上記の構成によれば、1つの検査信号で隣合う画像表示装置を順次に検査することができる。したがって、回路基板における各画像表示装置毎に検査を行う必要はなく、複数の画像表示装置を検査することができるので、回路基板の検査時間をより一層短縮することができるという効果を奏する。

【0062】本発明の集合基板の検査方法は、隣接する配線間の短絡を検出する構成である。

【0063】上記の構成によれば、集合基板に形成されている隣接する配線間の短絡を検出することができるという効果を奏する。

【0064】本発明の集合基板の検査装置は、上記の集合基板を検査する検査装置であって、共用テストパッドから出力される複数の回路基板からの信号を基準電圧と比較する比較手段と、この比較手段の結果により上記回路基板の良否を判定する判定手段とを有する構成である。

【0065】上記の構成によれば、共用テストパッドによって複数の回路基板からの信号の出力を得ることができるので、個々の回路基板毎に検査を行う必要がない。したがって、検査時間を短縮することができる検査装置を提供することができるという効果を奏する。

【0066】本発明の検査装置は、上記の構成に加えて、上記判定手段が、表示上の欠陥、あるいはD/Aコンバータの非直線性を判定する構成である。

【0067】上記の構成によれば、表示上の欠陥、あるいはD/Aコンバータの非直線性を判定することができるという効果を奏する。

【0068】本発明の回路基板の製造方法は、上記の集合基板における、回路基板と検査回路とを分離する構成である。

【0069】上記の構成によれば、上記集合基板を分離

するだけで回路基板を提供することができるという効果を奏する。

【0070】本発明の回路基板の製造方法は、上記の構成に加えて、共用テストパッドを分離する構成である。

【0071】上記の構成によれば、共用テストパッドを回路基板から分離することができるので、上記集合基板における回路基板以外の部分（周縁部）は、回路基板が分離後に廃棄される。したがって、この周縁部に形成される共用テストパッドは、上記回路基板には残らない。これにより、共用テストパッドは、回路基板の形状等に左右されることなく、周縁部に自由に設置することができるという効果を奏する。このため、例えば検査装置の都合にあわせてより出力の行いやすい場所に共用テストパッドを設けることや、共用テストパッドを任意の形状することなどができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態にかかる画像表示装置を備えた回路基板を複数個配列されてなる集合基板の平面図である。

【図2】図1に示す画像表示装置の入出力タイミングを示すチャートである。

【図3】本発明の一形態にかかる集合基板の検査を行うための検査システムを示す平面図である。

【図4】本発明の他の実施の形態にかかる集合基板における回路基板の平面図である。

【図5】本発明のさらに他の実施の形態にかかる集合基板における回路基板の平面図である。

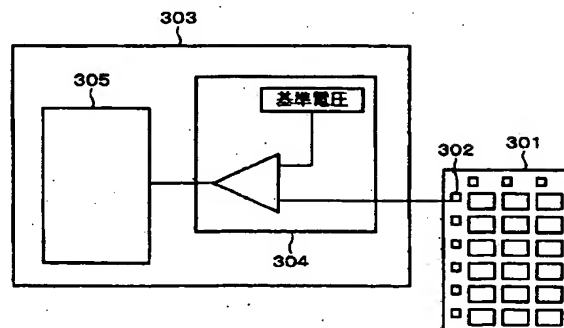
【符号の説明】

- 101 ソースクロック入力端子
- 102 ビデオ入力端子
- 103 ソース側スタートパルス入力端子
- 104 ソース側出力モニター端子（共用テストパッド）
- 105 ソース側バッファ
- 106 ゲートクロック入力端子
- 107 ゲート側スタートパルス入力端子
- 108 ゲート側出力モニター端子（共用テストパッド）

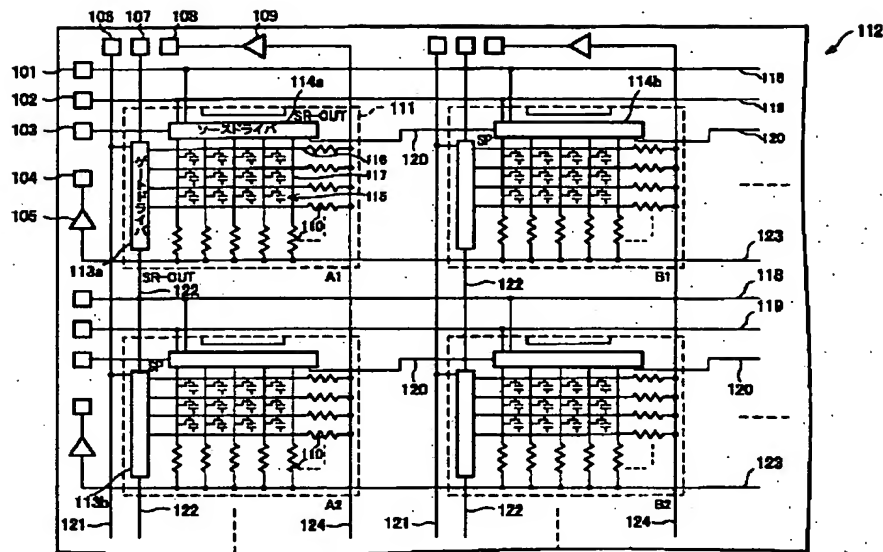
ド)

- 109 ゲート側バッファ
- 110 ショートリンク回路（テスト容易化回路）
- 112 集合基板
- 113 ゲートドライバ（走査信号駆動回路、駆動回路）
- 114 ソースドライバ（データ駆動回路、駆動回路）
- 116 ゲート線（配線）
- 117 ソース線（配線）
- 118 ソースクロック入力線
- 119 ビデオ信号入力線
- 120 ソースドライバ接続線（接続線）
- 121 ゲートクロック入力線
- 122 ゲートドライバ接続線（接続線）
- 123 ソース線ショートリンク（共通配線）
- 124 ゲート線ショートリンク（共通配線）
- 201 スタートパルス
- 202 クロック信号
- 203 シフトレジスタ出力
- 204 スタートパルス
- 205 シフトレジスタ出力
- 206 スタートパルス
- 207 ビデオ信号
- 208 出力電圧
- 209 出力異状部
- 301 被測定装置（集合基板）
- 302 出力モニター端子（共用テストパッド）
- 303 検査装置
- 304 比較器（比較手段）
- 305 判定器（判定手段）
- 402 第1ビデオ入力端子
- 403 第2ビデオ入力端子
- 405 第1ソース側出力モニター端子
- 406 第2ソース側出力モニター端子
- 507 D/Aコンバータ

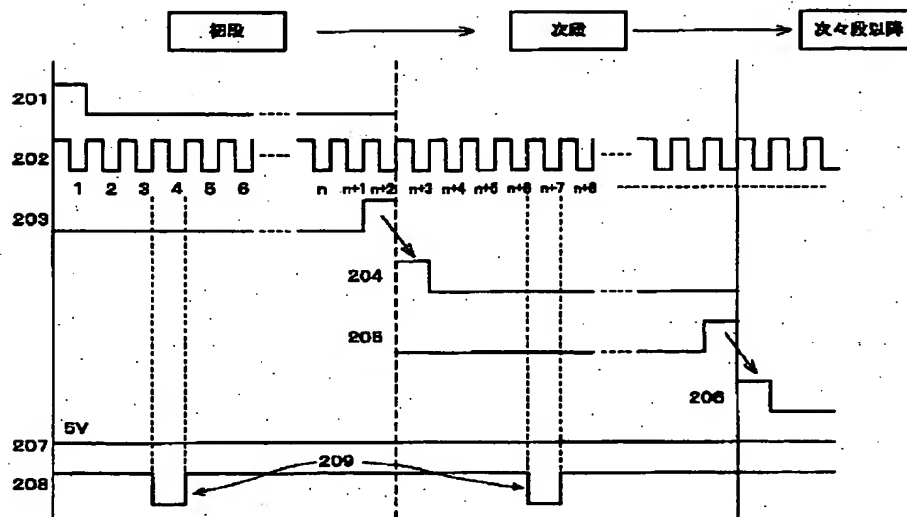
【図3】



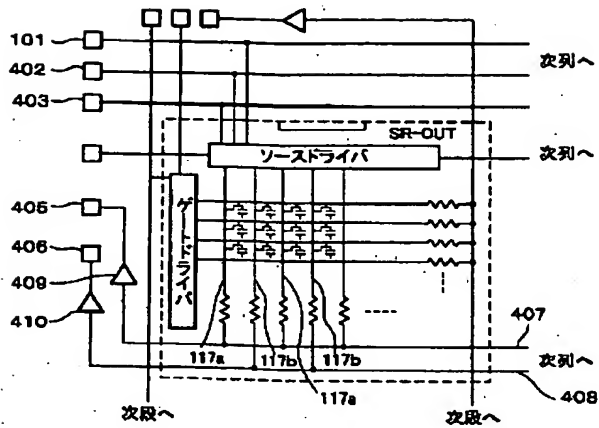
【図1】



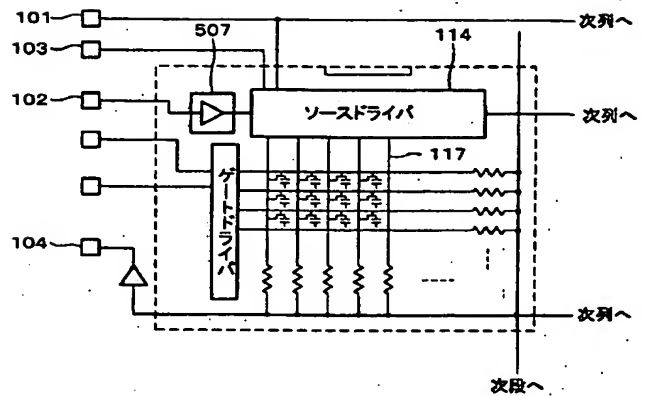
【図2】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

G 0 9 F 9/35

G 0 9 F 9/35

F ターム (参考) 2G014 AA02 AA03 AB21 AB59 AC18
 2G036 AA22 AA25 AA27 BA33 BB12
 CA10
 2H088 FA13 FA26 FA30
 5C094 AA41 AA43 BA03 BA43 CA19
 EA03 EA04 EA07
 5G435 AA17 AA19 BB12 CC09 KK05
 KK09 KK10